

Docket No.: N0029.1644
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Tadashi Iwasaki

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: Concurrently Herewith

Examiner: Not Yet Assigned

For: DATA TRANSMISSION CIRCUIT AND
DATA TRANSMISSION METHOD WITH
TWO TRANSMISSION MODES

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-212042	July 22, 2002

Application No.: Not Yet Assigned

Docket No.: N0029.1644

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: July 21, 2003

Respectfully submitted,

By 

Mark J. Thronson

Registration No.: 33,082

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

1177 Avenue of the Americas

41st Floor

New York, New York 10036-2714

(212) 835-1400

Attorney for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月22日

出 願 番 号
Application Number:

特願2002-212042

[ST.10/C]:

[JP2002-212042]

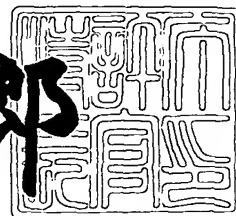
出 願 人
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034331

【書類名】 特許願

【整理番号】 71110522

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/0175

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 岩崎 正

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100103894

 【弁理士】

 【氏名又は名称】 家入 健

【手数料の表示】

 【予納台帳番号】 106760

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0118499

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ伝送回路及び半導体集積回路

【特許請求の範囲】

【請求項 1】

少なくとも高速度データと低速度データが入力され、入力されたデータのインピーダンスを制御するデータ伝送回路であって、

入力されたデータを安定化させ、出力する定電流ドライバと、

インピーダンスを制御する制御信号に応じて複数のスイッチング素子を切り換えることによりインピーダンスを制御するメインバッファと、

前記メインバッファと同様の複数のスイッチング素子を備えたダミーバッファと、

前記メインバッファのスイッチング素子の切り換えに応じて前記ダミーバッファのスイッチング素子を相補的に切り換えるとともに、前記制御信号のメインバッファへの入力を選択信号に応じて制御する選択手段と、

高速度データが入力された場合には、前記定電流ドライバに当該高速度データを出力するとともに、前記制御信号を前記メインバッファへ入力させるための選択信号を前記選択手段に出力し、低速度データが入力された場合には、当該低速度データに応じて前記制御信号を前記メインバッファへ入力させるための選択信号を前記選択手段に出力する伝送切替回路とを備えたデータ伝送回路。

【請求項 2】

前記入力されたデータのスルーレートを調整するフィードバック容量を有することを特徴とする請求項 1 記載のデータ伝送回路。

【請求項 3】

前記入力されたデータを一時記憶するプリバッファを有することを特徴とする請求項 1 又は 2 記載のデータ伝送回路。

【請求項 4】

前記入力されるデータ及び前記出力データは、論理的に二つの状態を有し、

該論理的に二つの状態に対応して、メインバッファ、ダミーバッファ、及び選択手段を二組備え、

高速度データが入力された場合には、前記伝送切替回路が、一方の前記メインバッファへ前記制御信号を入力させるための選択信号を前記選択手段に出力し

低速度データが入力された場合には、前記伝送切替回路が、出力データの論理的に二つの状態に応じて、いずれか一方の前記メインバッファへ前記制御信号を入力させるための選択信号を前記選択手段に出力することを特徴とする請求項 1 乃至 3 のいずれかに記載のデータ伝送回路。

【請求項 5】

前記出力データは、ユニバーサル・シリアル・バスを介して出力され、当該ユニバーサル・シリアル・バスは、U S B 2 . 0 規格またはこれ以上の上位規格であることを特徴とする請求項 1 乃至 4 のいずれかに記載のデータ伝送回路。

【請求項 6】

少なくとも高速度データと低速度データが入力され、入力されたデータのインピーダンスを制御する半導体集積回路であって、

入力されたデータを安定化させ、出力する定電流ドライバと、

インピーダンスを制御する制御信号に応じて複数のスイッチング素子を切り換えることによりインピーダンスを制御するメインバッファと、

前記メインバッファと同様の複数のスイッチング素子を備えたダミーバッファと、

前記メインバッファのスイッチング素子の切り換えに応じて前記ダミーバッファのスイッチング素子を相補的に切り換えるとともに、前記制御信号のメインバッファへの入力を選択信号に応じて制御する選択手段と、

高速度データが入力された場合には、前記定電流ドライバに当該高速度データを出力するとともに、前記制御信号を前記メインバッファへ入力させるための選択信号を前記選択手段に出力し、低速度データが入力された場合には、当該低速度データに応じて前記制御信号を前記メインバッファへ入力させるための選択信号を前記選択手段に出力する伝送切替回路とを備えた半導体集積回路。

【請求項 7】

少なくとも高速度データと低速度データが入力され、入力されたデータのインピーダンスを制御するデータ伝送方法であって、

インピーダンスを制御する制御信号に応じて複数のスイッチング素子を切り換えることによりインピーダンスを制御するメインバッファの前記スイッチング素子の切り換えに応じて、前記メインバッファと同様の複数のスイッチング素子を備えたダミーバッファのスイッチング素子を相補的に切り換えるステップと、

前記制御信号のメインバッファへの入力を選択信号に応じて制御するステップと、

高速度データが入力された場合には、入力されたデータを安定化させて出力する定電流ドライバに当該高速度データを出力するとともに、前記制御信号を前記メインバッファへ入力させるための選択信号を出力し、低速度データが入力された場合には、当該低速度データに応じて前記制御信号を前記メインバッファへ入力させるための選択信号を出力するステップとを備えたデータ伝送方法。

【請求項 8】

前記入力されたデータのスルーレートを調整することを特徴とする請求項 7 記載のデータ伝送方法。

【請求項 9】

前記入力されるデータ及び前記出力データは、論理的に二つの状態を有し、
該論理的に二つの状態に対応して、二組のメインバッファ及びダミーバッファを選択するステップを有し、該選択ステップでは、

高速度データが入力された場合には、一方の前記メインバッファへ前記制御信号を入力させるための選択信号を出力し

低速度データが入力された場合には、出力データの論理的に二つの状態に応じて、いずれか一方の前記メインバッファへ前記制御信号を入力させるための選択信号を出力することを特徴とする請求項 7 又は 8 記載のデータ伝送方法。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、データ伝送回路、半導体集積回路、及びデータ伝送方法に関し、特にデータが複数の伝送モードで入力されて出力するデータ伝送回路、半導体集積回路、及びデータ伝送方法に関する。

【0002】

【従来の技術】

従来、コンピュータ本体と周辺機器とを接続する際、シリアルインタフェース (Serial Interface) やパラレルインタフェース (Parallel Interface) などの周辺機器用のインタフェースを用いて接続される。また、複数の各種の周辺機器を1つにつなぐインタフェースとして、USB (Universal Serial Bus) やIEEE1394などのシリアルインタフェースが登場し、インタフェースを統一化し、共通化する方向がある。

【0003】

近年の情報化社会において、大容量のデータを高速に通信する必要性から、従来のUSB1.0規格 (USB-IF: USB Implements Forumによる規格) などのUSB1.x規格に比べてデータ転送レートの大きなUSB2.0規格が開発されている。従来のUSB1.x規格では接続モードに最大データ転送レートが12Mbpsのフルスピード (Full Speed) モードと1.5Mbpsのロースピード (Low Speed) モードとがあるが、USB2.0規格においては、これらのモードを維持したまま、新たに最大データ転送レートが480Mbpsのハイスピード (High Speed) モードが加わり、より大容量のデータを高速に通信することを可能とする。

【0004】

このようなUSB2.0規格のような最大データ転送レートが480Mbpsの高速なデータ伝送を行う際、線路反射による伝送波形の劣化が生じる。そのため、出力バッファにより出力インピーダンスを伝送線路のインピーダンスと同じになるように高精度に制御する必要性が生じている。

【0005】

このような出力インピーダンス制御に関する技術として、例えば、「A 660 MB/s Interface Megacell Portable Circuit in 0.3 μ m-0.7 μ m CMOS ASIC」, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.31, NO.12, DECEMBER 1996には、トランジスタサイズを切り替えることで出力バッファの駆動能力を制御する技術が

開示されている。この技術では、出力バッファの駆動能力を制御することにより、製造ばらつきや電源電圧、温度の変動に対して出力インピーダンスを調整して出力インピーダンスの最適化を行う。

【 0 0 0 6 】

さらに、高速なデータ伝送を行う出力バッファは、波形の立ち上がり、立ち下がりでの急激な電圧変化により他の装置等にノイズ源が発生しないように波形をなまらせてスルーレート制御する。

【 0 0 0 7 】

このような出力バッファによりスルーレート制御を行う技術として、例えば、「DESIGN GUIDE FOR A LOW SPEED BUFFER FOR THE UNIVERSAL SERIAL BUS」, Revision 1.1 December, 1996 Intel Corporationに開示されているように、出力バッファの出力端子と最終段のトランジスタを駆動する信号線の間フィードバック容量を配置する技術が提案されている。この技術によれば、出力信号の急激な変化を妨げるように制御し、フィードバック容量により波形の立ち上がり立ち下がり最適化してデータ伝送が行われる。

【 0 0 0 8 】

これらの従来技術の手法をCMOSプッシュプル型定電圧ドライバタイプの出力バッファに適用された場合について、図3及び図4を参照して説明する。また、図3に示すバッファ回路は、USB 1.0規格でデータを転送するバッファ回路を示す。

【 0 0 0 9 】

図3に示すように、従来技術における入力バッファは、Hiレベルを出力するメインバッファ101（以下、Hメインバッファ101と略す）、Lowレベルを出力するメインバッファ102（以下、Lメインバッファ102と略す）、駆動トランジスタを選択するインピーダンス制御端子103a、103b、～、103c、103d、Lowレベル側伝達回路104（以下、L伝達回路104と略す）、Hiレベル側伝達回路105（以下、H伝達回路105と略す）とを備える。さらに、入力バッファは、メインバッファを駆動するプリバッファ106、出力PAD107とプリバッファ106との間に接続されるフィードバック容

量108、データ入力端子109を備えている。

【0010】

Lメインバッファ102は、出力PAD107と接地線110との間に、複数のNchトランジスタ111a、111b、～、111c、111dを接続した構成となっている。

【0011】

Nchトランジスタ111a、111b、～、111c、111dのそれぞれのサイズは、インピーダンス制御端子103a、103b、～、103c、103dと組み合わせられ、制御範囲や制御幅等を考慮して最適な出力インピーダンスが実現できるように構成される。一例として、各Nchトランジスタ111a、111b、～、111c、111dのインピーダンス値がそれぞれ異なるように重み付けをして最適な出力インピーダンスが実現できるように構成される。

【0012】

L伝達回路104は、インピーダンス制御信号毎に構成されるとともに、Lメインバッファ102のNchトランジスタ毎に構成される。例えば、インピーダンス制御端子103aにインピーダンス制御信号が入力される場合、L伝達回路104は、Lメインバッファ102のNchトランジスタ111aのゲート電極を接地する接地線110にクランプできるように構成される。

【0013】

L伝達回路104のトランSMissionゲート112aは、インピーダンス制御端子103aに入力されるインピーダンス制御信号により制御される。そして、このトランSMissionゲート112aを介して、プリバッファ106がLメインバッファ102のNchトランジスタ111aに接続される。

【0014】

また、クランプNchトランジスタ114aは、インピーダンス制御端子103aからのインピーダンス制御信号をインバータ113aで反転した制御信号により制御される。このNchトランジスタ114aで、Lメインバッファ102のNchトランジスタ111aのゲート電極が接地線110にクランプされている。

【0015】

Hメインバッファ101は、Lメインバッファと同様に構成され、出力PAD107と電源線115との間に、Lメインバッファ102のNchトランジスタ111a、111b、～、111c、111dを相補的に置き換えた複数のPchトランジスタ(図示せず)を接続した構造となっている。

【0016】

H伝達回路105は、L伝達回路104と同様に構成され、インピーダンス制御信号毎に構成されるとともに、Hメインバッファ101のPchトランジスタ毎に構成される。そして、各インピーダンス制御端子にインピーダンス制御信号が入力される場合、H伝達回路105は、Hメインバッファ101のPchトランジスタのゲート電極を電源線115にクランプできるように構成される。

【0017】

また、プリバッファ106はインバータにより構成され、フィードバック容量108は容量素子により構成される。プリバッファ106は、データ入力端子109から入力されたデータ信号を反転させ、L伝達回路104やH伝達回路105のトランSMissionゲートに入力する。フィードバック容量108は、プリバッファ106と出力PAD107との間に配置されて出力PAD107からの出力信号の急激な変化を抑制する。

【0018】

このように構成される従来技術における入力バッファの動作について図3及び図4を参照して説明する。データ伝送を行う場合、データの出力インピーダンスの値が所望の値となるように最適化された制御コードが、インピーダンス制御信号として、インピーダンス制御端子103a、103b、～、103c、103dに入力される。この制御コードは、Hi論理又はLow論理で与えることができ、電圧のデジタルな高低としてインピーダンス制御端子に入力される。

【0019】

インピーダンス制御端子103aに入力されるインピーダンス制御信号がHi論理を有する場合、L伝達回路104は、トランSMissionゲート112aを開く。これにより、プリバッファ106の出力電圧によって、プリバッファ10

6でデータを反転させた信号がLメインバッファ102のNchトランジスタ111aに送られ、当該駆動するトランジスタ111aが選択される。

【0020】

これに対して、インピーダンス制御端子103aに入力されるインピーダンス制御信号がLow論理を有する場合、L伝達回路104は、トランスミッションゲート112aを閉じる。これにより、プリバッファ106の出力電圧が遮断される。それとともに、L伝達回路104のクランプNchトランジスタ114aがオン状態となり、Lメインバッファ102のNchトランジスタ111aのゲート電極が接地線110の接地電位に固定される。そして、Lメインバッファ102のNchトランジスタ111aをオフ状態とすることにより、Lメインバッファ102のNchトランジスタ111aが駆動トランジスタとして選択されないようになる。

【0021】

H伝達回路105は、L伝達回路104と同様に動作を行う。インピーダンス制御端子103aに入力されるインピーダンス制御信号がLow論理を有する場合、H伝達回路105は、Hメインバッファ101のPchトランジスタを駆動トランジスタとして選択する。これに対して、インピーダンス制御端子103aに入力されるインピーダンス制御信号がHi論理を有する場合、H伝達回路105は、Hメインバッファ101のPchトランジスタを駆動トランジスタとして選択しない。

【0022】

このように、データ入力端子109がLowレベルの時には、インバータ106がHiレベルを出力し、出力PAD107に接地レベルを出力する。他方、データ入力端子109がHiレベルの時には、インバータ106がLowレベルを出力し、出力PAD107に電源電圧レベルを出力する。データ入力端子109のレベルに応じて出力PAD107のレベルを制御し、製造ばらつきや電源電圧、温度の変動に対して出力インピーダンスを調整して出力インピーダンスの最適化を行う。

【0023】

さらに、出力PAD107からデータが出力される際、出力PAD107とプリバッファ106との間に配置されたフィードバック容量108により出力波形のスルーレートが制御されて出力波形の立ち上がり・立下りが最適化される。

【0024】

しかしながら、当該入力バッファにおいては、出力インピーダンスは、Hメインバッファ101又はLメインバッファ102の各トランジスタ(Pchトランジスタ、Nchトランジスタ)を選択し、トランジスタのサイズを変更することにより制御が行われる。そのため、駆動トランジスタを切り替えて選択することにより、駆動トランジスタのサイズが変化し、トランジスタのゲート電極容量が変化する。

【0025】

さらに、当該比較例においては、出力波形のスルーレートは、プリバッファ106の負荷容量により制御され、予め最適化したフィードバック容量108とHメインバッファ101やLメインバッファ102で選択されたトランジスタのゲート電極容量とを足し合わせた容量により制御される。

【0026】

このようなことから、出力波形のスルーレートの最適化がフィードバック容量108により行われるにもかかわらず、出力インピーダンスを制御するためにプリバッファ106の付加容量が変化すると、出力インピーダンスの制御を行うことができたとして出力波形のスルーレートを最適化することができなくなる。

【0027】

また逆に、出力波形のスルーレートの最適化を行う際には、出力インピーダンスを制御することができず、出力インピーダンスとスルーレートとの両者を制御することができない。

【0028】

図4に示すように、各インピーダンス制御端子に入力される制御コードに同期して出力PAD107が出力される。各インピーダンス制御端子にCODE-Aを入力すると、データ入力端子109には制御コードに同期してデータが入力される。これにより、上述の動作に基づいて出力PAD107にデータが出力され

る。また同様に、各インピーダンス制御端子にCODE-Bを入力すると、データ入力端子109には制御コードに同期してデータが入力される。これにより、上述の動作に基づいて出力PAD107にデータが出力される。

【0029】

ところが、トランジスタが使用温度の時間的な変動の影響を受けると、トランジスタの物理的特性変化により、トランジスタに駆動電流が流れすぎる。これにより、出力PAD107に出力されるデータの出力インピーダンスが低下する。この場合、例えば、図4に示すように、出力インピーダンスを制御するインピーダンス制御コードをCODE-AからCODE-Bに途中で変更して出力インピーダンスの低下を補正することができる。このとき、Hメインバッファ101やLメインバッファ102の駆動するトランジスタの本数を減らし、出力インピーダンスの低下が補正される。しかし、トランジスタの本数を減らすと、プリバッファ106の出力につながる負荷容量が小さくなる。そのため、図6に示すように、フィードバック容量108が充分ではなくなり、インピーダンス制御コードを変更した後の出力PAD107の出力波形が急峻になる。

【0030】

さらに、半導体の製造ばらつきに対して出力インピーダンス制御を行う場合、製造ばらつきに対するトランジスタの特性変動と容量素子の特性変動は、必ずしも一致しているわけではない。そのため、製造ばらつきに対して出力インピーダンスが一定となるように制御コードを調整すると、制御コード毎にプリバッファ出力につながる負荷容量が異なってしまう。これにより、制御コード毎に、出力波形のスルーレートが変動してしまうという問題があった。

【0031】

他方、出力インピーダンス制御と同様に、複数の単位容量をアレイ化してフィードバック容量108を切り替えることにより、出力スルーレート制御できるようにすると、フィードバック容量108と駆動トランジスタのゲート電極容量とで、バイアス電圧依存による容量の見え方が等価ではないので、制御が非常に困難になる。

【0032】

また、仮にフィードバック容量 1 0 8 もアレイ化して制御できたとしても、半導体集積回路内で構成する容量素子は、トランジスタサイズや、配線寸法に比較して大きな面積が必要になる。その上、インピーダンス制御回路とは別にフィードバック容量制御のための回路が独自に必要なになる。そのため、回路構成が複雑になり、すなわちレイアウト面積が増大し、さらには半導体集積回路装置のトータルコストが増加するという問題がある。

【 0 0 3 3 】

特に、このような種々の問題は、高速なデータ伝送を行う U S B 2 . 0 規格では、出力インピーダンスとスルーレートの両者の制御が困難となる。そのため、データの伝送経路での減衰等が発生し、良好な状態でデータを伝送することができない。

【 0 0 3 4 】

【発明が解決しようとする課題】

このように、従来のデータ伝送回路、半導体集積回路、データ伝送方法では、出力インピーダンスと出力波形のスルーレートとを同時に制御することができないため、データを良好な状態で伝送することが困難であるという問題点があった。

【 0 0 3 5 】

本発明は、このような問題点を解決するためになされたもので、良好な状態でデータを伝送することができるデータ伝送回路、半導体集積回路、及びデータ伝送方法を提供することを目的とする。

【 0 0 3 6 】

【課題を解決するための手段】

本発明にかかるデータ伝送回路は、少なくとも高速度データと低速度データが入力され、入力されたデータのインピーダンスを制御するデータ伝送回路であって、入力されたデータを安定化させ、出力する定電流ドライバと、インピーダンスを制御する制御信号に応じて複数のスイッチング素子を切り換えることによりインピーダンスを制御するメインバッファと、前記メインバッファと同様の複数のスイッチング素子を備えたダミーバッファと、前記メインバッファのスイッチ

ング素子の切り換えに応じて前記ダミーバッファのスイッチング素子を相補的に切り換えるとともに、前記制御信号のメインバッファへの入力を選択信号に応じて制御する選択手段（例えば、本発明の実施の形態における選択回路 28、30）と、高速度データが入力された場合には、前記定電流ドライバに当該高速度データを出力するとともに、前記制御信号を前記メインバッファへ入力させるための選択信号を前記選択手段に出力し、低速度データが入力された場合には、当該低速度データに応じて前記制御信号を前記メインバッファへ入力させるための選択信号を前記選択手段に出力する伝送切替回路とを備えたものである。このような構成により、データの伝送モードに応じて良好な状態でデータを伝送することができる。

【 0 0 3 7 】

さらに、本発明にかかるデータ伝送回路では、前記入力されたデータのスルーレートを調整するフィードバック容量を有するものである。これにより、データのスルーレートを精度良く制御して良好な状態でデータを伝送することができる。

【 0 0 3 8 】

さらにまた、本発明にかかるデータ伝送回路では、前記入力されたデータを一時記憶するプリバッファを有するものである。これにより、データのインピーダンスを容易に制御することができる。

【 0 0 3 9 】

そして、本発明にかかるデータ伝送回路では、前記入力されるデータ及び前記出力データは、論理的に二つの状態を有し、該論理的に二つの状態に対応して、メインバッファ、ダミーバッファ、及び選択手段を二組備え、高速度データが入力された場合には、前記伝送切替回路が、一方の前記メインバッファへ前記制御信号を入力させるための選択信号を前記選択手段に出力し低速度データが入力された場合には、前記伝送切替回路が、出力データの論理的に二つの状態に応じて、いずれか一方の前記メインバッファへ前記制御信号を入力させるための選択信号を前記選択手段に出力するものである。このような構成により、データの伝送モードに応じて良好な状態でデータを確実に伝送することができる。

【 0 0 4 0 】

また、本発明にかかるデータ伝送回路では、前記出力データは、ユニバーサル・シリアル・バスを介して出力され、当該ユニバーサル・シリアル・バスは、USB 2. 0規格またはこれ以上の上位規格である。これにより、高速データ伝送においても、良好な状態でデータを伝送することができる。

【 0 0 4 1 】

本発明にかかる半導体集積回路は、少なくとも高速度データと低速度データが入力され、入力されたデータのインピーダンスを制御する半導体集積回路であって、入力されたデータを安定化させ、出力する定電流ドライバと、インピーダンスを制御する制御信号に応じて複数のスイッチング素子を切り換えることによりインピーダンスを制御するメインバッファと、前記メインバッファと同様の複数のスイッチング素子を備えたダミーバッファと、前記メインバッファのスイッチング素子の切り換えに応じて前記ダミーバッファのスイッチング素子を相補的に切り換えるとともに、前記制御信号のメインバッファへの入力を選択信号に応じて制御する選択手段（例えば、本発明の実施の形態における選択回路28、30）と、高速度データが入力された場合には、前記定電流ドライバに当該高速度データを出力するとともに、前記制御信号を前記メインバッファへ入力させるための選択信号を前記選択手段に出力し、低速度データが入力された場合には、当該低速度データに応じて前記制御信号を前記メインバッファへ入力させるための選択信号を前記選択手段に出力する伝送切替回路とを備えたものである。このような構成により、データの伝送モードに応じて良好な状態でデータを伝送することができる。

【 0 0 4 2 】

本発明にかかるデータ伝送方法は、少なくとも高速度データと低速度データが入力され、入力されたデータのインピーダンスを制御するデータ伝送方法であって、インピーダンスを制御する制御信号に応じて複数のスイッチング素子を切り換えることによりインピーダンスを制御するメインバッファの前記スイッチング素子の切り換えに応じて、前記メインバッファと同様の複数のスイッチング素子を備えたダミーバッファのスイッチング素子を相補的に切り換えるステップと、

前記制御信号のメインバッファへの入力を選択信号に応じて制御するステップと、高速度データが入力された場合には、入力されたデータを安定化させて出力する定電流ドライバに当該高速度データを出力するとともに、前記制御信号を前記メインバッファへ入力させるための選択信号を出力し、低速度データが入力された場合には、当該低速度データに応じて前記制御信号を前記メインバッファへ入力させるための選択信号を出力するステップとを備えたものである。このような方法により、データの伝送モードに応じて良好な状態でデータを伝送することができる。

【 0 0 4 3 】

さらに、本発明にかかるデータ伝送方法は、前記入力されたデータのスループートを調整するものである。これにより、データのスループートを精度良く制御して良好な状態でデータを伝送することができる。

【 0 0 4 4 】

そして、本発明にかかるデータ伝送方法は、前記入力されるデータ及び前記出力データは、論理的に二つの状態を有し、該論理的に二つの状態に対応して、二組のメインバッファ及びダミーバッファを選択するステップを有し、該選択ステップでは、高速度データが入力された場合には、一方の前記メインバッファへ前記制御信号を入力させるための選択信号を出力し低速度データが入力された場合には、出力データの論理的に二つの状態に応じて、いずれか一方の前記メインバッファへ前記制御信号を入力させるための選択信号を出力するものである。これにより、データの伝送モードに応じて良好な状態でデータを確実に伝送することができる。

【 0 0 4 5 】

【発明の実施の形態】

以下、本発明の実施の形態について図を参照しながら説明する。

【 0 0 4 6 】

まず、本発明の実施の形態におけるデータ伝送回路の構成について、図 1 を用いて説明する。図 1 は、本実施形態のデータ伝送回路の一構成例を示す模式図である。また、図 1 においては、CMOS プッシュプル型定電圧ドライバタイプの

出力バッファ回路に適用された場合を示す。なお、図 1 において、本発明にかかるデータ伝送回路の要部を示す。またなお、個々に P c h 又は N c h のトランジスタを用いて説明するが、これらのトランジスタを相互に入れ替えても良い。

【 0 0 4 7 】

図 1 に示すように、本実施形態のデータ伝送回路は、H i レベルを出力するメインバッファ回路 1 1（以下、H メインバッファ 1 1 と略す）、H メインバッファ 1 1 に対するダミーバッファ回路 2 9（以下、H ダミーバッファ 2 9 と略す）、L o w レベルを出力するメインバッファ回路 1 2（以下、L メインバッファ 1 2 と略す）、L メインバッファ 1 2 に対するダミーバッファ回路 2 7（以下、L ダミーバッファ 2 7 と略す）を備える。

【 0 0 4 8 】

さらに、本実施形態のデータ伝送回路は、H メインバッファ 1 1 と H ダミーバッファ 2 9 とを切り替える H i レベル側選択回路 3 0（以下、H 選択回路 3 0 と略す）、L メインバッファ 1 2 と L ダミーバッファ 2 7 とを切り替える L o w レベル側選択回路 2 8（以下、L 選択回路 2 8 と略す）を備え、各選択回路 2 8、3 0 には、駆動トランジスタを選択するインピーダンス制御端子が 1 3 a、1 3 b、～、1 3 c、1 3 d が設けられている。

【 0 0 4 9 】

また、本実施形態のデータ伝送回路は、メインバッファを駆動するプリバッファ 1 6、出力 P A D 1 7 とプリバッファ 1 6 との間に接続されるフィードバック容量 1 8 を備えている。なお、本実施形態のデータ伝送回路においては、フィードバック容量 1 8 を設けることなく、出力データのスルーレート制御をメインバッファ回路 1 1、1 2 及びダミーバッファ回路 2 7、2 9 を用いて行っても良い。

【 0 0 5 0 】

またさらに、本実施形態のデータ伝送回路は、定電流ドライバ 3 6、高速度データ伝送と低速度データ伝送とを切り替える伝送切替回路 3 9（以下、これを H / L 伝送切替回路 3 9）、抵抗素子 3 8 を備える。

【 0 0 5 1 】

Lメインバッファ12は、出力PAD17と接地線20との間に、複数のNchトランジスタ21a、21b、～、21c、21dを接続した構成となっている。

【0052】

Nchトランジスタ21a、21b、～、21c、21dのそれぞれのサイズは、インピーダンス制御端子13a、13b、～、13c、13dと組み合わせられ、制御範囲や制御幅等を考慮して最適な出力インピーダンスが実現できるように構成される。一例として、各Nchトランジスタ21a、21b、～、21c、21dのサイズに重み付けをして最適な出力インピーダンスが実現できるように構成される。

【0053】

Lダミーバッファ27は、Lメインバッファ12と同様に構成され、接地線20と接地線20との間に、複数のNchトランジスタ26a、26b、～、26c、26dを接続した構成となっている。

【0054】

このNchトランジスタ26a、26b、～、26c、26dは、Nchトランジスタ21a、21b、～、21c、21dのサイズと略同一のサイズのトランジスタとすることができる。

【0055】

L選択回路28は、Lメインバッファ12に接続されるトランスミッションゲート22及びクランプNchトランジスタ24、Lダミーバッファ27に接続されるダミー用トランスミッションゲート31及びダミー用クランプNchトランジスタ32、インバータ23を有する。

【0056】

L選択回路28は、インピーダンス制御信号毎に構成されるとともに、Lメインバッファ12のNchトランジスタ毎に構成される。例えば、インピーダンス制御端子13aにインピーダンス制御信号が入力される場合、L選択回路28は、Lメインバッファ12のNchトランジスタ21aのゲート電極を接地する接地線20にクランプできるように構成される。

【 0 0 5 7 】

L 選択回路 2 8 のトランスミッションゲート 2 2 は、インピーダンス制御端子 1 3 a に入力されるインピーダンス制御信号により制御される。そして、このトランスミッションゲート 2 2 を介して、プリバッファ 1 6 が L メインバッファ 1 2 の N c h トランジスタ 2 1 a に接続される。また、クランプ N c h トランジスタ 2 4 は、インピーダンス制御端子 1 3 a からのインピーダンス制御信号をインバータ 2 3 で反転した制御信号により制御される。この N c h トランジスタ 2 4 で、L メインバッファ 1 2 の N c h トランジスタ 2 1 a のゲート電極が接地線 2 0 にクランプされている。

【 0 0 5 8 】

さらに、本実施形態のデータ伝送回路では、L 選択回路 2 8 は、インピーダンス制御信号毎に構成されるとともに、L ダミーバッファ 2 7 の N c h トランジスタ毎に構成される。例えば、インピーダンス制御端子 1 3 a にインピーダンス制御信号が入力される場合、L 選択回路 2 8 は、L ダミーバッファ 2 7 の N c h トランジスタ 2 6 a のゲート電極を接地する接地線 2 0 にクランプできるように構成される。

【 0 0 5 9 】

L 選択回路 2 8 のダミー用トランスミッションゲート 3 1 は、インピーダンス制御端子 1 3 a に入力されるインピーダンス制御信号により制御される。そして、このダミー用トランスミッションゲート 3 1 を介して、プリバッファ 1 6 が L ダミーバッファ 2 7 の N c h トランジスタ 2 6 a に接続される。また、ダミー用クランプ N c h トランジスタ 3 2 は、インピーダンス制御端子 1 3 a からのインピーダンス制御信号をインバータ 2 3 で反転した制御信号により制御される。このダミー用クランプ N c h トランジスタ 3 2 で、L ダミーバッファ 2 7 の N c h トランジスタ 2 6 a のゲート電極が接地線 2 0 にクランプされている。

【 0 0 6 0 】

L 選択回路 2 8 のトランスミッションゲート 2 2 とダミー用トランスミッションゲート 3 1 とは、インピーダンス制御信号により相互に接続／遮断が選択される。これにより、プリバッファ 1 6 からの入力、L メインバッファ 1 2 又は L

ダミーバッファ 27 に常に接続されている。そのため、プリバッファ 16 から L メインバッファ 12 又は L ダミーバッファ 27 の N c h トランジスタのゲート電極容量を一定とすることができ、プリバッファ 16 の負荷容量を一定とすることができる。

【0061】

H 選択回路 30 は、L 選択回路 28 と同様に構成され、インピーダンス制御信号毎に構成されるとともに、H メインバッファ 11 の P c h トランジスタ毎に構成される。そして、各インピーダンス制御端子にインピーダンス制御信号が入力される場合、H 選択回路 30 は、H メインバッファ 11 の P c h トランジスタのゲート電極を電源線 25 にクランプできるように構成される。

【0062】

さらに、H 選択回路 30 は、L 選択回路 28 と同様に構成され、インピーダンス制御信号毎に構成されるとともに、H ダミーバッファ 29 の P c h トランジスタ毎に構成される。各インピーダンス制御端子にインピーダンス制御信号が入力される場合、H 選択回路 30 は、H ダミーバッファ 29 の P c h トランジスタのゲート電極を電源線 25 にクランプできるように構成される。

【0063】

H 選択回路 30 のトランсмисシヨンゲートとダミー用トランсмисシヨンゲートとは、L 選択回路 28 と同様に、インピーダンス制御信号により相互に接続／遮断が選択される。これにより、プリバッファ 16 からの入力は、H メインバッファ 11 又は H ダミーバッファ 29 に常に接続されている。そのため、プリバッファ 16 から H メインバッファ 11 又は H ダミーバッファ 29 の P c h トランジスタのゲート電極容量を一定とすることができ、プリバッファ 16 の負荷容量を一定とすることができる。

【0064】

また、プリバッファ 16 はインバータにより構成され、フィードバック容量 18 は容量素子により構成される。プリバッファ 16 は、入力されたデータ信号を反転させ、L 選択回路 28 や H 選択回路 30 のトランсмисシヨンゲートに入力する。フィードバック容量 18 は、プリバッファ 16 と出力 P A D 17 との間に

配置されて出力 P A D 1 7 からの出力信号の急激な変化を抑制する。

【 0 0 6 5 】

図 1 に示すように、定電流ドライバ 3 6 は、定電流源 3 5、P c h トランジスタ 3 4 を有する。定電流源 3 5 は、一方を P c h トランジスタ 3 4 と直列に接続され、他方を電源線 2 5 と接続されている。P c h トランジスタ 3 4 のソース又はドレインは出力 P A D 1 7 に接続され、ゲート電極は H / L 伝送切替回路 3 9 に接続されている。また、出力ノード 3 7 には抵抗素子 3 8 が接続され、L メインバッファ 1 2 とともにインピーダンス制御を行う。

【 0 0 6 6 】

H / L 伝送切替回路 3 9 には、伝送データの伝送速度を切り替える伝送速度切替端子 4 0 4 とデータが入力されるデータ入力端子 4 1 が設けられている。さらに、H / L 伝送切替回路 3 9 は、高速度でデータを伝送する際にデータが入力される高速度データ入力端子 3 3、低速度でデータを伝送する際にデータが入力される低速度データ入力端子 1 9 を備える。また、高速度データ入力端子 3 3 は P c h トランジスタ 3 4 に接続され、低速度データ入力端子 1 9 は、プリバッファ 1 6 に接続されている。

【 0 0 6 7 】

次に、本実施形態のデータ伝送回路の動作について、図 1 及び図 2 を参照して説明する。図 2 は本実施形態のデータ伝送回路の動作に関するタイミングチャートを示す。本実施形態の動作を説明するに際して、データを高速度で伝送する場合（高速度伝送）、データを低速度で伝送する場合（低速度伝送）の順に説明する。

【 0 0 6 8 】

また、データ伝送を行う場合、データの出力インピーダンスの値が所望の値となるように最適化された制御コードが、インピーダンス制御信号として、インピーダンス制御端子 1 3 a、1 3 b、～、1 3 c、1 3 d に入力される。この制御コードは、H i 論理又は L o w 論理で与えることができる。

【 0 0 6 9 】

データを高速度で伝送する場合、伝送速度切替端子 4 0 から伝送速度を制御す

る伝送速度制御信号が入力され、高速度の伝送モードに設定される。これにより、データ入力端子 4 1 からデータが入力されると、データは高速度データ入力端子 3 3 から出力され、P c h トランジスタ 3 4 へと伝送される。

【 0 0 7 0 】

高速度伝送の場合、図 1 において伝送速度切替端子 4 0 には、低速度データ入力端子 1 9 が L o w 論理に固定されるように伝送速度制御信号が入力される。これにより、低速度データ入力端子 1 9 を常に L o w 論理に固定することができる。低速度データ入力端子 1 9 を L o w 論理に固定すると、伝送速度制御信号が選択信号として L メインバッファ 1 2 及び L ダミーバッファ 2 7 に入力され、L メインバッファ 1 2 及び L ダミーバッファ 2 7 がオン状態となる。そして、L メインバッファ 1 2 を終端抵抗として機能させ、L メインバッファ 1 2 においてインピーダンスが発生する。

【 0 0 7 1 】

低速度データ入力端子 1 9 が L o w 論理に固定されると、L メインバッファ 1 2 及び L ダミーバッファ 2 7 がオン状態となると同時に、H i レベルを出力する H メインバッファ 1 1 及び H ダミーバッファ 2 9 の P c h トランジスタがオフ状態となる。これにより、出力ノード 3 7 は電源線 2 5 と遮断され、出力ノード 3 7 に電源電圧が加わらないようになる。

【 0 0 7 2 】

H i レベルを出力する H メインバッファ 1 1 及び H ダミーバッファ 2 9 の P c h トランジスタがオフ状態となるため、出力 P A D 1 7 と接地線 2 0 との間の終端抵抗の抵抗値は、L メインバッファ 1 2 の N c h トランジスタ 2 1 a、2 1 b、～、2 1 c、2 1 d のオン抵抗の組み合わせと抵抗素子 3 8 とにより定まる。これにより、出力 P A D 1 7 と接地線 2 0 との間の終端抵抗の抵抗値は、L メインバッファ 1 2 の N c h トランジスタ 2 1 a、2 1 b、～、2 1 c、2 1 d のオン抵抗の組み合わせと抵抗素子 3 8 とを最適化することにより、最適化することができる。

【 0 0 7 3 】

また、L メインバッファ回路 1 2 の N c h トランジスタ 2 1 a、2 1 b、～、

2 1 c、2 1 dは終端抵抗として機能するのに対して、Lダミーバッファ2 7のN c hトランジスタ2 6 a、2 6 b、～、2 6 c、2 6 dは、この終端抵抗のインピーダンスが安定するように補助する。後述の低伝送の場合に示すように、低速度データ入力端子1 9がL o w論理に固定されると、インピーダンス制御端子1 3 a、1 3 b、～、1 3 c、1 3 dに制御コードが入力されると、Lメインバッファ1 2のN c hトランジスタとLダミーバッファ2 7のN c hトランジスタとのいずれか一方が選択される。

【0 0 7 4】

すなわち、例えば、Lメインバッファ回路1 2のN c hトランジスタ2 1 aが選択されると、Lダミーバッファ2 6 aのN c hトランジスタ2 6 aが選択されないようになる。また逆に、制御コードにより、Lメインバッファ1 2のN c hトランジスタ2 1 aが選択されないときには、Lダミーバッファ2 6 aのN c hトランジスタ2 6 aが選択される。そのため、後述するように、出力P A D 1 7と接地線2 0との間の終端抵抗を安定させることができる。そして、一般には、フィードバック容量1 8の容量に比べてLメインバッファ1 2のN c hトランジスタ2 1 a、2 1 b、～、2 1 c、2 1 dの容量が大きいため、Lメインバッファ1 2のN c hトランジスタの容量を最適化し、フィードバック容量1 8の容量により、インピーダンスの精度を高め、安定で且つ精度良く高速度伝送時に出力データのインピーダンスの制御行うことができる。

【0 0 7 5】

定電流ドライバ3 6の定電流源3 5は一定の電流を流す。データ入力端子4 1から伝送データが入力されると、伝送データは高速度データ入力端子3 3から出力される。そして、P c hトランジスタ3 4のゲート電極へと入力される。伝送データがH i 論理を示す場合にP c hトランジスタが開き、L o w論理を示す場合にP c hトランジスタは閉じる。これにより、P c hトランジスタ3 4のオン／オフに従って一定の電流が流れる。そして、この一定電流と、Lメインバッファ1 2のN c hトランジスタと抵抗素子3 8とのインピーダンスにより、高速度のデータ伝送を行う。

【0 0 7 6】

このように、定電流源 3 5 により安定した一定の電流により高速度データ伝送が行われる。さらに、L メインバッファの N c h トランジスタ 2 1 a、2 1 b、～、2 1 c、2 1 d のインピーダンスが L ダミーバッファ 2 7 の N c h トランジスタの 2 6 a、2 6 b、～、2 6 c、2 6 d により安定化し、一定のインピーダンスを有する終端抵抗として機能する。そのため、高速度で伝送されるデータの出力電圧は一定の安定した電圧値を有する。これにより、高速度伝送データの振幅を安定させ、良好な状態で伝送を行うことができる。

【 0 0 7 7 】

また、高速度伝送データの振幅を安定させることができるため、本実施形態のデータ伝送回路は、定電流ドライバ回路として機能させることができる。

【 0 0 7 8 】

データを低速度で伝送する場合、伝送速度切替端子 7 0 から伝送速度を制御する伝送速度制御信号が入力され、低速度の伝送モードに設定される。これにより、データ入力端子 4 1 からデータが入力されると、データは低速度データ入力端子 1 9 から出力され、プリバッファ 1 6 へと伝送される。

【 0 0 7 9 】

低速度伝送の場合、図 1 において伝送速度切替端子 4 0 には、高速度データ入力端子 3 3 が H i 論理となるように伝送速度制御信号入力される。これにより、高速度データ入力端子 3 3 を常に H i 論理に固定することができる。高速度データ入力端子 3 3 を H i 論理に固定すると、伝送速度制御信号が選択信号として定電流ドライバ 3 6 に入力され、P c h トランジスタ 3 4 がオフ状態となる。そして、定電流源 3 5 が切り離されて定電流ドライバ 3 6 が駆動しない。そのため、定電流ドライバ 3 6 を出力ノード 3 7 から分離することができる。これにより、以下に説明するように、低速度データ入力端子 1 9 で定電圧ドライバのメインバッファ 1 1、1 2 を相補的にオン／オフ状態とし、電源電圧と接地電圧を信号レベルとして出力 P A D 1 7 から低速度伝送データを出力することができる。

【 0 0 8 0 】

一例として、インピーダンス制御端子 1 3 a に入力されるインピーダンス制御信号が H i 論理を有する場合、L 選択回路 2 8 は、トランスミッションゲート 2

2を開く。これにより、プリバッファ16の出力電圧によって、プリバッファ16でデータを反転させた信号がLメインバッファ12のNchトランジスタ21aに送られ、当該駆動するトランジスタ21aが選択される。

【0081】

Lメインバッファ12のNchトランジスタ21aが選択されると、トランスミッションゲート22を介して、このNchトランジスタ21aのゲート電極にデータが入力される。このとき、データがLowレベルの場合にNchトランジスタ21aはゲートを開き、出力ノード37が接地線20にクランプする。これにより、出力PAD17より出力するデータの電位は接地線20の接地電位となる。

【0082】

また、データがHiレベルである場合、Nchトランジスタ21aはゲートを閉じるが、データがLowレベルの場合と同様に、Hメインバッファ11のPchトランジスタがゲートを開く。これにより、出力ノード37が電源線25にクランプし、出力PAD17より出力するデータの電位は電源線25の電源電位となる。

【0083】

制御コードの入力によりLメインバッファ12の駆動トランジスタ21aが選択されるとき、Lダミーバッファ27では駆動トランジスタは選択されない。Hi論理を有するインピーダンス制御信号がインピーダンス制御端子13aに入力されると、L選択回路28は、ダミー用トランスミッションゲート31を閉じる。これにより、プリバッファ16の出力電圧がLダミーバッファ27から遮断される。

【0084】

また、プリバッファ16の出力電圧がLダミーバッファ27から遮断されるとともに、L選択回路28のダミー用クランプNchトランジスタ32がオン状態となり、Lダミーバッファ27のNchトランジスタ26aのゲート電極が接地線20の接地電位に固定される。そして、Lダミーバッファ27のNchトランジスタをオフ状態となり、Lダミーバッファ27のNchトランジスタが駆動ト

ランジスタとして選択されないようになる。

【0085】

これに対して、インピーダンス制御端子13aに入力されるインピーダンス制御信号がLow論理を有する場合、L選択回路28は、トランスミッションゲート22を閉じる。これにより、プリバッファ16の出力電圧がLメインバッファ12から遮断される。それとともに、L選択回路28のクランプNchトランジスタ24がオン状態となり、Lメインバッファ12のNchトランジスタ21aのゲート電極が接地線20の接地電位に固定される。そして、Lメインバッファ12のNchトランジスタ21aをオフ状態とすることにより、Lメインバッファ12のNchトランジスタ21aが駆動トランジスタとして選択されないようになる。

【0086】

制御コードの入力によりLメインバッファ12の駆動トランジスタ21aが選択されないのに対し、Lダミーバッファ27のNchトランジスタ26aが選択される。Hi論理を有するインピーダンス制御信号がインピーダンス制御端子13aに入力されると、L選択回路28は、ダミー用トランスミッションゲート31を開く。これにより、プリバッファ16の出力電圧がLダミーバッファ27のNchトランジスタ26aに至り、当該駆動するトランジスタ26aが選択される。

【0087】

このように、Lダミーバッファ27のNchトランジスタが選択される場合、プリバッファ16から見た容量（出力負荷容量）がLメインバッファ12のNchトランジスタ21a、21b、～、21c、21dの全体の容量と、フィードバック容量18とを合わせた容量となる。そのため、Lメインバッファ12からNchトランジスタが選択された場合であっても、Lダミーバッファ27からNchトランジスタが選択された場合であっても、プリバッファ16の出力負荷容量は常に変化しない。これにより、安定してインピーダンスを制御することができ、それと同時にスルーレートを制御することができる。そして、出力PAD17から良好な状態でデータを出力することができる。

【0088】

また、Lメインバッファ12及びLダミーバッファ27のNchトランジスタは伝送データがLowレベルのときに駆動するため、これらのNchトランジスタが駆動する場合にはHメインバッファ11及びHダミーバッファ29は駆動していない。

【0089】

H選択回路30は、L選択回路28と同様に動作を行う。インピーダンス制御端子13aに入力されるインピーダンス制御信号がLow論理を有する場合、H選択回路30は、Hメインバッファ11のPchトランジスタを選択しない。それと同時に、H選択回路30は、Hダミーバッファ29のPchトランジスタを駆動トランジスタとして選択する。そして、インピーダンス制御端子13aに入力されるインピーダンス制御信号がHi論理を有する場合、H選択回路30は、Hメインバッファ11のPchトランジスタを駆動トランジスタとして選択する。それと同時に、H選択回路30は、Hダミーバッファ29のPchトランジスタを選択しない。

【0090】

このように本実施形態のデータ伝送装置は動作を行い、図2に示すように、各インピーダンス制御端子に入力される制御コードに同期して出力PAD17が出力される。一例として、Lメインバッファ12のNchトランジスタのオン抵抗を組み合わせと抵抗素子38とにより終端抵抗を最適化する抵抗値は50Ωとすることができる。

【0091】

各インピーダンス制御端子にCODE-AやCODE-Bの制御コードが入力される。例えば、使用温度の時間的な変動やトランジスタの物理的特性変化が発生すると、インピーダンス制御端子にCODE-Aが入力される状態からCODE-Bが入力される状態へと変わる。すると、これに同期して、Lメインバッファ12やHメインバッファ11で選択されるトランジスタが変わる。このとき、前述のように、プリバッファ16の出力負荷容量がメインバッファ11、12のトランジスタの全容量とフィードバック容量18とを合わせた容量となるため、

インピーダンスを安定させることができ、それと同時にスルーレートの制御を行うことができる。

【 0 0 9 2 】

高速度伝送を行う場合には、図 2 に示すように、伝送速度切替端子 4 0 には高速度伝送を行うための速度切替信号が入力される。またそれと同時に、データ入力端子 4 1 にデータが入力される。この場合、例えば、2 0 m A の定電流源 3 5 を用いると、データ入力端子 4 1 に入力される伝送データに同期して、高速度データ入力端子 3 3 で P c h トランジスタ 3 4 をオン／オフ状態とすることができる。これにより、図 2 に示すように、伝送データに同期して端子電圧の 1 V / 0 V を信号レベルとして出力 P A D 1 7 から伝送データを高速度で出力することができる。このとき、端子電圧は、定電流源 3 5 からの定電流値、L メインバッファ 1 2 の N c h トランジスタのインピーダンスと抵抗素子 3 8 とを含む終端抵抗で決まる。

【 0 0 9 3 】

低速度伝送を行う場合には、図 2 に示すように、伝送速度切替端子 4 0 には低速度伝送を行うための速度切替信号が入力される。またそれと同時に、データ入力端子 4 1 にデータが入力される。低速度伝送の場合、伝送データの信号レベルが H i 又は L o w に応じて H メインバッファ 1 1 及び H ダミーバッファ 2 9 の P c h トランジスタ、L メインバッファ 1 2 及び L ダミーバッファ 2 7 の N c h トランジスタが相補的にオン／オフ状態にして駆動する。このとき、データ入力端子 4 1 に入力される伝送データに同期して相補的にオン／オフ状態となり、図 2 に示すように、例えば、電源電圧の 3 V と接地電圧の 0 V の信号レベルとして出力 P A D 1 7 から伝送データを低速度で出力することができる。

【 0 0 9 4 】

このように、インピーダンス制御端子に入力する制御コードの状態（H i レベル又は L o w レベル）によって、各メインバッファ 1 1、1 2 又は各ダミーバッファ 2 9、3 0 を選択し、プリバッファ 1 6 からの出力をメインバッファ 1 1、1 2 又はダミーバッファ 2 9、3 0 のトランジスタに入力する。そのため、インピーダンス制御コードが変化しても、プリバッファ 1 6 の出力負荷容量が変化し

ない。これにより、図 2 に示すように、制御コードが例えば CODE - A から CODE - B に変化しても、その変化の前後で安定したスルーレート波形を有するデータ出力を出力 PAD 1 7 から常に出力することができる。

【 0 0 9 5 】

なお、選択回路 2 8、3 0 を設けることにより図 3 に示す従来例と比べてダミーバッファ 2 7、2 9 を制御するためのトランスミッションゲート（L ダミーバッファ 2 7 ではダミー用トランスミッションゲート 3 1）が増加する。そのため、プリバッファ 1 6 の出力負荷容量が増えることとなるが、予めこの増加分を考慮してフィードバック容量 1 8 の値を最適化すれば良い。そして、このフィードバック容量 1 8 の値の最適化は容易に可能であり、安定したスルーレート波形を有するデータを常に出力するデータ伝送回路を容易に実現させることができる。

【 0 0 9 6 】

以上のように、本実施形態のデータ伝送回路では、高速度・低速度でデータ伝送を行う場合にメインバッファ 1 1、1 2 により、インピーダンス制御を行うことができ、出力インピーダンスを最適化することができる。さらに、本実施形態のデータ伝送回路では、ダミーバッファ 2 7、2 9 により、プリバッファ 1 6 の出力負荷容量が変化することなく、伝送データのスルーレート制御を行うことができる。これにより、本実施形態のデータ伝送回路では、出力インピーダンス制御とスルーレート制御とを同時に行うことができる。そのため、出力インピーダンスを最適化しながらスルーレートを最適化することができ、伝送データを良好な状態で伝送経路へと出力することができる。

【 0 0 9 7 】

また、本実施形態のデータ伝送回路では、インピーダンス制御コードに対応して出力バッファの出力インピーダンスを最適化しながら、フィードバック容量 1 8 によりスルーレートを最適化した波形を精度良く維持することができる。またさらに、インピーダンス制御端子に制御コードを入力することにより、インピーダンスの制御を行うため、伝送データの出力インピーダンスを容易に制御することができる。

【 0 0 9 8 】

このように出力インピーダンスとスルーレートとを常に制御することができるため、トランジスタの使用温度による変動や物理的特性変化等の影響に左右されることなく、データの伝送を行うことができる。特に、高速度データ伝送を行う際に、伝送データの振幅を精度良く維持しながらデータ伝送を行うデータ伝送回路を実現することが可能である。

【 0 0 9 9 】

また、本実施形態のデータ伝送回路では、H/L伝送切替回路39により、高速度伝送と低速度伝送とを切り替える。そのため、伝送速度切替端子40に制御信号を入力して、高速度データ伝送と低速度データ伝送とを容易に切り替えることができる。

【 0 1 0 0 】

またさらに、本実施形態におけるデータ伝送回路では、高速度伝送を行う場合、メインバッファ11、12のインピーダンスを安定して制御する。それとともに、定電流源35により安定した一定の電流を流し、Pchトランジスタ34のオン/オフ状態により出力データを生成する。そのため、高速度伝送の場合に安定した振幅を有する出力データを良好な状態で出力することができる。

【 0 1 0 1 】

また、本実施形態のデータ伝送回路では、メインバッファ11、12のインピーダンスのサイズを変えたり、所望の重み付けを行ったりすること可能である。そのため、一般にはフィードバック容量18の容量より大きいメインバッファ11、12の容量を最適化し、プリバッファ16の出力負荷容量を調整するための容量としてフィードバック容量18を用いることができる。これにより、フィードバック容量18の素子サイズを大きくすることなく、フィードバック容量18によりプリバッファ16の出力負荷容量の最適化を調整し、伝送データのスルーレート制御の精度を向上させることができ、良好な状態でデータを伝送するデータ伝送回路を実現させることができる。

【 0 1 0 2 】

このように、メインバッファ11、12のインピーダンスを制御し、定電流ドライバ36を用いて、高速度伝送では定電流ドライバとして動作し、低速度伝送

では定電圧ドライバとして動作するデータ伝送回路を容易に構成することができる。

【 0 1 0 3 】

なお、本実施形態のデータ伝送回路は、出力 P A D 1 7 から、入力バッファを接続して、双方向バッファ構成としても良い。またなお、本実施形態のデータ伝送回路は、出力 P A D 1 7 と反対の論理を出力するバッファを並列に用いて、差動バッファ構成としても良い。

【 0 1 0 4 】

【発明の効果】

本発明によれば、良好な状態でデータを伝送することができるデータ伝送回路、半導体集積回路、及びデータ伝送方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態におけるデータ伝送回路を示す模式図である。

【図 2】

本発明の実施の形態におけるデータ伝送を示すチャート図である。

【図 3】

従来例におけるデータ伝送回路を示す模式図である。

【図 4】

従来例におけるデータ伝送を示すチャート図である。

【符号の説明】

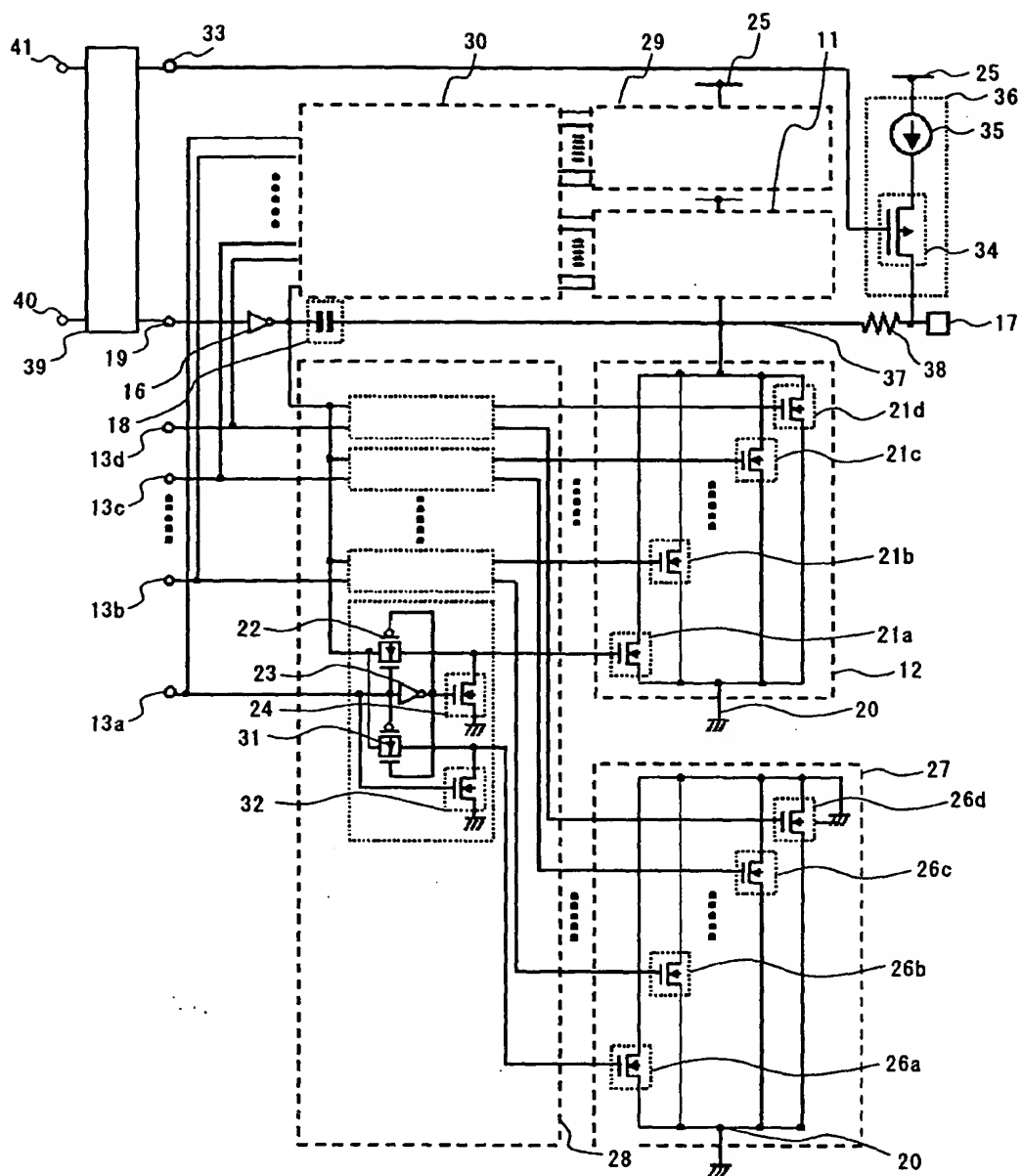
1 1 Hメインバッファ、 1 2 Lメインバッファ、 1 3 a, 1 3 b, ～, 1 3 c, 1 3 d インピーダンス制御端子、 1 6 プリバッファ、 1 7 出力 P A D、 1 8 フィードバック容量、 1 9 低速度データ入力端子、 2 0 接地線、 2 1 a, 2 1 b, ～, 2 1 c, 2 1 d N c h トランジスタ、 2 2, トランスマッションゲート、 2 3 インバータ、 2 4 a クランプ N c h トランジスタ、 2 5 電源線、 2 6 a, 2 6 b, ～, 2 6 c, 2 6 d N c h ダミートランジスタ、 2 7 ダミーバッファ、 2 8 L 選択回路、 2 9 H ダミーバッファ、 3 0 H 選択回路、 3 1 ダミー用トランスミ

ッションゲート、 32a ダミー用クランプNchトランジスタ、 33 高
 速度データ入力端子、 34 Pchトランジスタ、 35 定電流源、 36
 定電流ドライバ、 37 出力ノード、 38 抵抗素子、 39 H/L伝
 送切替回路、 40 伝送速度切替端子、 41 伝送データ入力端子、 10
 1 Hメインバッファ、 102 Lメインバッファ、 103a, 103b,
 ～, 103c, 103d インピーダンス制御端子、 106 プリバッファ、
 107 出力PAD、 108 フィードバック容量、 109 データ入力
 端子、 110 接地線、 111a, 111b, ～, 111c, 111d N
 chトランジスタ、 112a, トランスミッションゲート、 113a イ
 ンバータ、 114a クランプNchトランジスタ、 115 電源線、 1
 04 L伝送回路、 105 H伝送回路

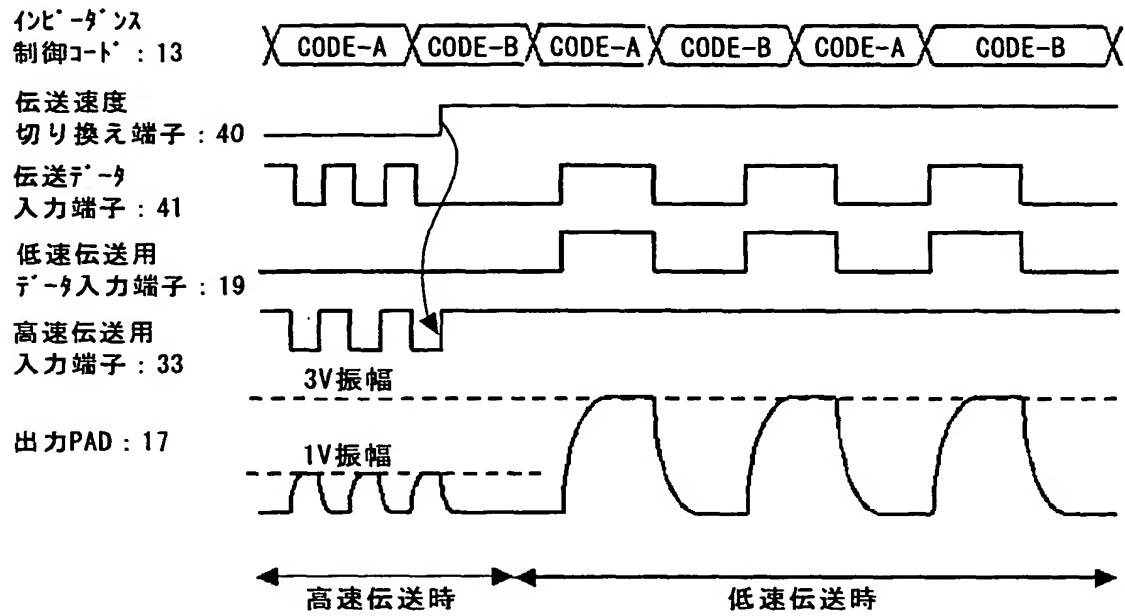
【書類名】

図面

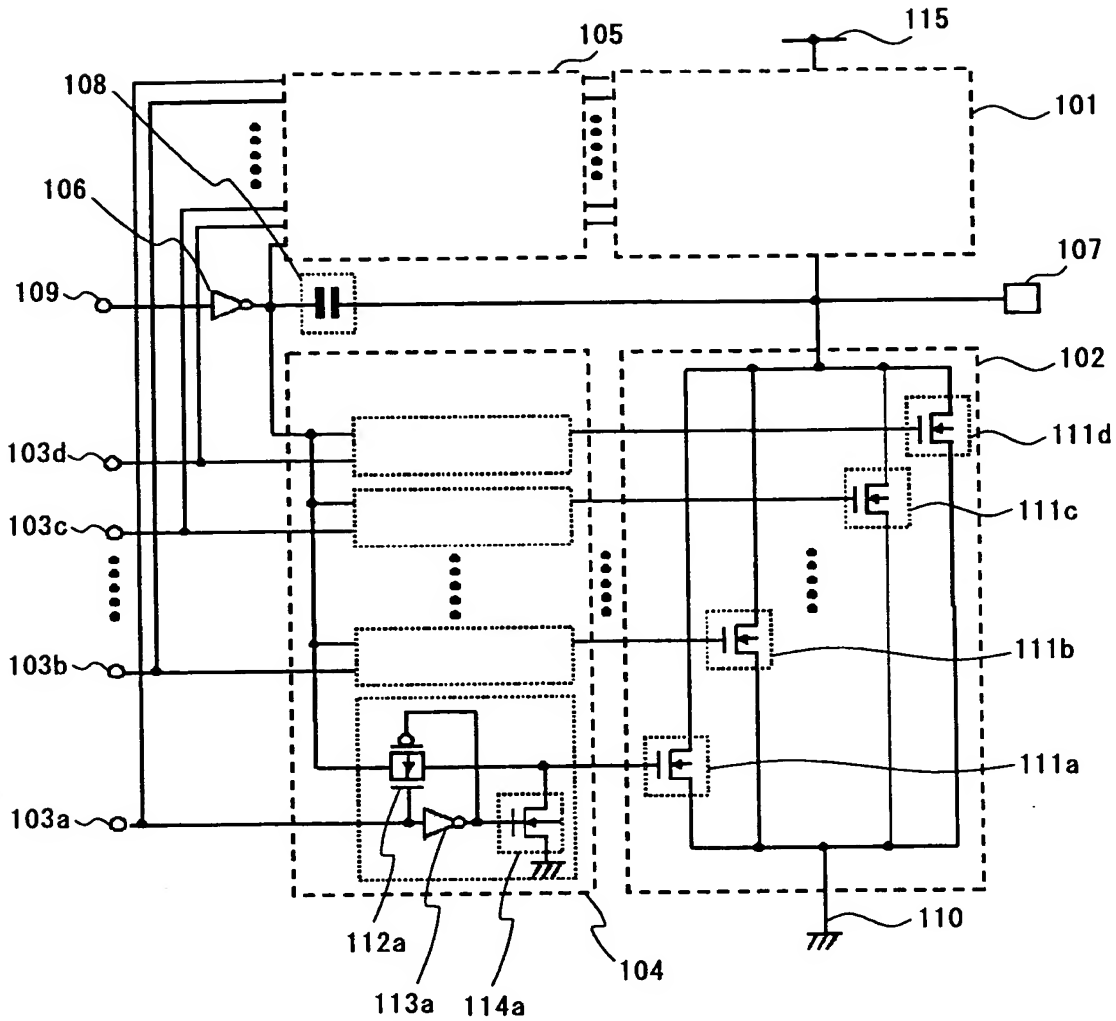
【図 1】



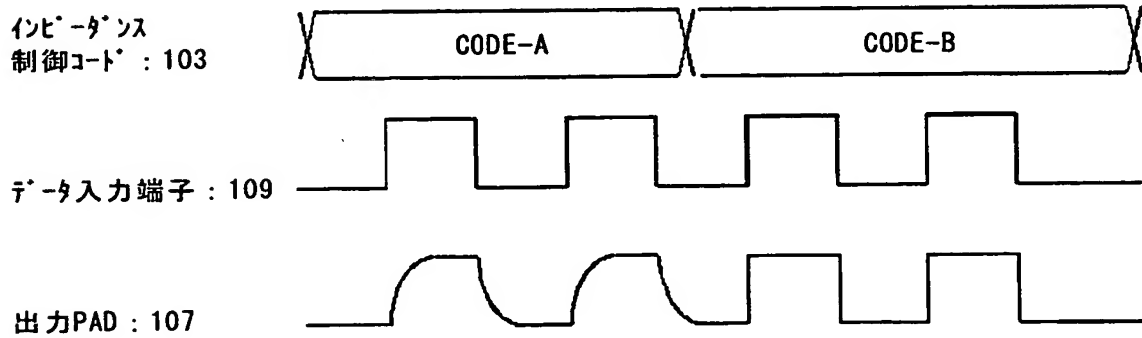
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】

良好な状態でデータを伝送することができるデータ伝送回路、半導体集積回路、及びデータ伝送方法を提供することを目的とする。

【解決手段】

本発明にかかるデータ伝送回路では、選択回路 2 8、2 9 が、メインバッファ 1 1、1 2 のトランジスタを切り換え、この切り替えに応じてダミーバッファ 2 7、2 9 のトランジスタを相補的に切り換える。H/L 伝送切替回路 3 9 は、高速度データ伝送の場合には、定電流ドライバ 3 6 に高速度データを出力し、メインバッファ 1 1、1 2 へ制御信号を入力させる選択信号を選択回路 2 8、2 9 に出力し、低速度データ伝送の場合には、低速度データに応じてメインバッファ 1 1、1 2 へ制御信号を入力させる選択信号を選択回路 2 8、2 9 に出力する。そして、H/L 伝送切替回路 3 9 は、制御信号のメインバッファ 1 1、1 2 への入力を選択信号に応じて制御する。

【選択図】 図 1

特 2002-212042

認定・付加情報

特許出願の番号	特願 2002-212042
受付番号	50201069276
書類名	特許願
担当官	第八担当上席 0097
作成日	平成14年 7月23日

<認定情報・付加情報>
【提出日】

平成14年 7月22日

次頁無

【書類名】 出願人名義変更届（一般承継）
【提出日】 平成15年 1月14日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2002-212042
【承継人】
 【識別番号】 302062931
 【氏名又は名称】 N E C エレクトロニクス株式会社
【承継人代理人】
 【識別番号】 100103894
 【弁理士】
 【氏名又は名称】 家入 健
【提出物件の目録】
 【物件名】 承継人であることを証明する登記簿謄本 1
 【援用の表示】 特願 2 0 0 2 - 3 1 8 4 8 8
 【物件名】 承継人であることを証明する承継証明書 1
 【援用の表示】 特願 2 0 0 2 - 3 1 8 4 8 8
 【包括委任状番号】 0218232
【ブルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地

氏 名 NECエレクトロニクス株式会社